

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338833  
(43)Date of publication of application : 10.12.1999

(51)Int.Cl. G06F 15/16

(21)Application number : 10-140788  
(22)Date of filing : 22.05.1998

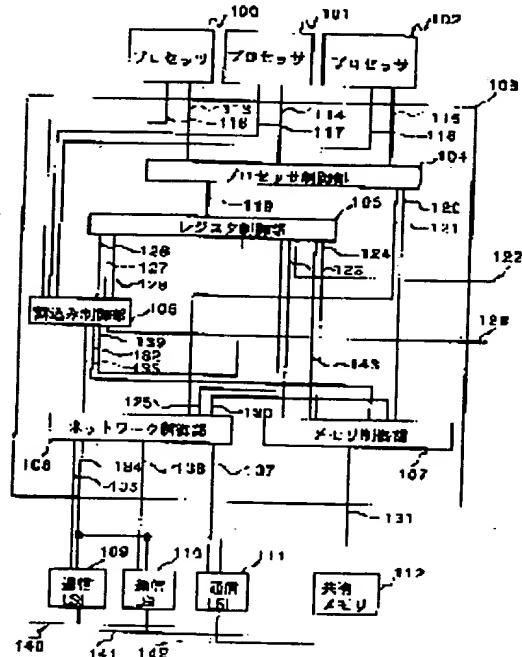
(71)Applicant : HITACHI LTD  
(72)Inventor : TAKEWA HIDEHITO  
OGURA MAKOTO  
ISHIKURA HIDEJI  
MATSDA KOJI  
KUROSAWA KENICHI  
TAKAHASHI YOSHIAKI

(54) MULTIPROCESSOR TYPE CONTROLLER AND SCALABLE CONTROLLER SYSTEM

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve independence between processors in the case of an interruption notice and to make compatible a common program in initializing processing and independence between processors.

program in initializing processing and independence between processors. **SOLUTION:** Concerning the multiprocessor type controller equipped with plural processors 101-102 and a shared memory 112, this controller is provided with a boundary register for holding the boundaries of areas dividing the shared memory 112 for each processor, comparator for comparing the access.address of the shared memory 112 with the boundary register, memory control part 107 for limiting the access of the processor based on the compared result of the comparator, interruption control part 106 for reporting interruption according to a mask register for masking an interruption factor for each processor, and identification register for returning a different value through the processor at the reading source. Thus, the independence of processors is improved by the selective notice of interruption while protecting the areas of the shared memory 112 in ordinary processing and the processing when started up can be made common by the identification register.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 15/16識別記号  
3 5 0F I  
G 0 6 F 15/16

3 5 0 A

## 審査請求 未請求 請求項の数 4 O.L (全 10 頁)

(21)出願番号 特願平10-140788

(22)出願日 平成10年(1998)5月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 武和 秀仁

茨城県日立市大みか町五丁目2番1号 株式会社日立製作所大みか工場内

(72)発明者 小倉 真

茨城県日立市大みか町五丁目2番1号 株式会社日立製作所大みか工場内

(72)発明者 石倉 秀司

茨城県日立市大みか町五丁目2番1号 株式会社日立製作所大みか工場内

(74)代理人 弁理士 小川 勝男

最終頁に続く

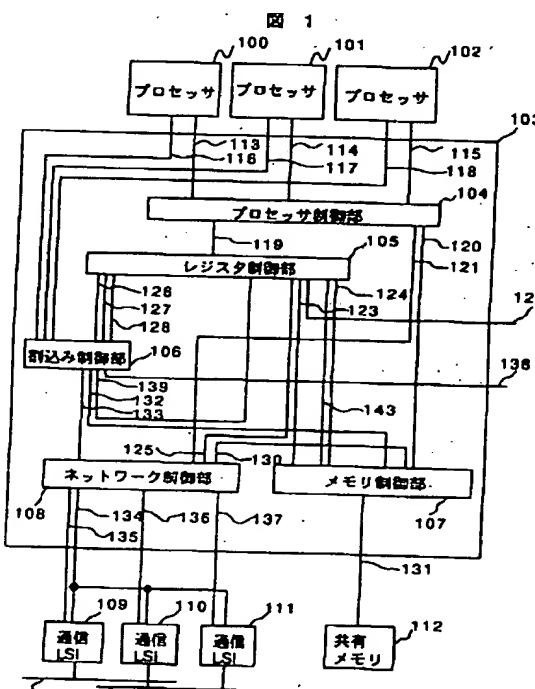
(54)【発明の名称】マルチプロセッサ型コントローラ及びスケーラブルコントローラシステム

## (57)【要約】

【課題】割込み通知においてプロセッサ間の独立性を高め、初期化処理におけるプログラムの共通化とプロセッサ間の独立性を両立させる。

【解決手段】複数のプロセッサと共有メモリを備えたマルチプロセッサ型コントローラにおいて、共有メモリを各プロセッサ毎に分割した領域の境界を保持する境界レジスタと、共有メモリのアクセスアドレスと境界レジスタを比較する比較器と、比較器による比較結果に基づきプロセッサのアクセスを制限するメモリ制御部と、プロセッサ毎に割込み要因をマスクするマスクレジスタに従い割込みを通知する割込み制御部と読み出し元のプロセッサにより異なる値を返す識別レジスタを備える。

【効果】通常処理での共有メモリの領域の保護を行なわながら割込みの選択通知により、プロセッサの独立性を高め、識別レジスタにより立上げ時の処理の共通が図れる。



## 【特許請求の範囲】

【請求項1】電源投入直後に特定のメモリアドレスの初期化プログラムを実行する機能を有する複数のプロセッサと、  
前記複数のプロセッサからアクセスされる共有メモリと、  
前記共有メモリを前記複数のプロセッサ毎の領域に分割するアドレスを設定する複数の境界レジスタと、  
前記複数のプロセッサからの前記共有メモリへのアクセスアドレスと前記複数の境界レジスタの内容とを比較する比較器と、  
前記比較器の結果によって前記共有メモリの前記領域に対して前記複数のプロセッサからのアクセスを制限するメモリ制御部とを備えたコントローラにおいて、  
割込み要因毎にマスク情報を設定する前記複数のプロセッサ毎の複数のマスクレジスタと、  
前記マスクレジスタからのマスク情報に従い、プロセッサへの割込みをマスクする割込み制御部を備え、  
前記マスクレジスタに設定されたマスク情報により、前記複数のプロセッサに対する割込みをマスクすることを特徴とするマルチプロセッサ型コントローラ。

【請求項2】請求項1のマルチプロセッサ型コントローラにおいて、  
特定のプロセッサからの読み出しに対して、プロセッサ毎に異なる値を返す識別レジスタを有し、  
電源投入後、前記プロセッサは前記共有メモリに格納されている初期化プログラムを実行し、前記初期化プログラムにて前記識別レジスタから異なるプロセッサの特定の値を読み出すことを特徴とするマルチプロセッサ型コントローラ。

【請求項3】複数のプロセッサと、  
前記複数のプロセッサからアクセスされる共有メモリと、  
ネットワークに接続するための通信制御手段に接続されるシステム制御LSIにおいて、  
特定のプロセッサからの読み出しに対して、プロセッサ毎に異なる値を返す識別レジスタと、  
前記共有メモリを前記複数のプロセッサ毎の領域に分割するアドレスを設定する複数の境界レジスタと、  
前記複数のプロセッサからの前記共有メモリへのアクセスアドレスと前記複数の境界レジスタの内容とを比較する比較器と、  
前記比較器の結果によって前記共有メモリの前記領域に対して前記複数のプロセッサからのアクセスを制限するメモリ制御部と、  
割込み要因毎にマスク情報を設定する前記複数のプロセッサ毎の複数のマスクレジスタと、

前記マスクレジスタからのマスク情報に従い、プロセッサへの割込みをマスクする割込み制御部を備え、

記複数のプロセッサに対する割込みをマスクすることを特徴とするシステム制御LSI。

【請求項4】請求項2の複数のマルチプロセッサ型コントローラと、  
前記複数のコントローラに接続される複数のネットワークと、  
表示装置を備えたパーソナルコンピュータと、  
複数のセンサと複数のアクチュエータと、  
被制御装置から構成される制御システムにおいて、  
前記複数のコントローラは、前記複数のネットワークのうち少なくとも1つの制御用ネットワークにより、前記複数のセンサと前記複数アクチュエータと接続され、  
前記複数のコントローラは、前記複数のネットワークのうち少なくとも1つのコントローラ間ネットワークにより互いに接続され、  
さらに、前記複数のコントローラは、前記複数のネットワークのうち少なくとも1つの監視ネットワークにより前記監視端末と接続され、  
前記監視ネットワークにより、前記コントローラとコントローラに接続される前記センサと前記アクチュエータの状態を前記監視端末にて監視し、  
前記複数の少なくとも1つのコントローラの前記制御用ネットワークのネットワーク処理の終了により、前記少なくとも1つのコントローラが前記コントローラ間ネットワークにより前記コントローラの他の少なくとも1つのコントローラに通知し、前記他の少なくとも1つのコントローラの制御用ネットワークの起動が行われる制御システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は産業用コントローラに関わり、特にマルチプロセッサ構成を採るコントローラに関する。

## 【0002】

【従来の技術】従来の産業用コントローラでは、1つのCPUに複数のネットワークボードを接続して制御対象とのデータ通信を行うという構成をとっている。ネットワークボードは、ネットワーク処理を行うネットワークプロセッサを備え、ネットワークからのデータを、一旦、ネットワークボード上のメモリに格納する。その後取り込んだデータは、システムバスを介してCPUの主記憶へ転送し、CPUに割込みを入れネットワークからのデータ受信を知らせる。送信では、CPUの主記憶上にネットワーク上の被制御ノードに対するメッセージ又は制御データを形成し、ネットワークプロセッサに割込みを入れる。割込まれたネットワークプロセッサは、主記憶内のデータをネットワークボードに取り込み、ネットワークへ通信LSIを介して送信する。

【0003】このような従来の産業用コントローラで

ットワークボードが必要となり、コントローラが大型化するため、CPUとネットワークボードのネットワークプロセッサでマルチプロセッサ構成をとりCPUの主記憶とネットワークボードのメモリを共有化することが考えられる。しかし、CPU及びネットワークプロセッサは、シングルプロセッサ動作を前提としており、マルチプロセッサ環境での、構成制御機能、キャッシュコヒーレンシ機能及び割込み制御機能を持たない。

【0004】これに対し、マルチプロセッサ型での使用を前提としたコントローラでは、複数のプロセッサが共有メモリにアクセスする。共有メモリはそれぞれのプロセッサがアクセスする領域に分割されている。各プロセッサで実行されるプログラムはそれぞれ決められた領域をアクセスし、共有メモリでのプロセッサ間の排他性を実現している。また、コントローラで発生する割込みは、各プロセッサに通知され、プロセッサそれぞれで割込みの要因を判断し定められた処理を行う割込みルーチンを実行する。コントローラの初期化では、プロセッサは固有のアドレスに格納されている初期化プログラムを実施する。マルチプロセッサ型コントローラの初期化は定められたプロセッサが実行するため、共有メモリのアクセス領域の設定は、その初期化終了後に実施する。

#### 【0005】

【発明が解決しようとする課題】現状のコントローラはシングルプロセッサでの稼動を前提としているため、単に複数台導入してもマルチプロセッサ構成で動作させるには困難がある。シングルプロセッサ動作を前提としたコントローラを共有メモリ型のマルチプロセッサ構成で稼動させるためには、使用するメモリ空間を各プロセッサで独立させ、障害発生時に他のプロセッサに被害が波及することを防ぐ必要がある。その一方で、構成制御など各プロセッサが独立に処理を行ったのでは具合が悪い場合又は、コントローラのように類似の処理を多数で行う場合には、各プロセッサ毎にメモリ空間を分割してしまうと同一処理のために互いの処理を調整する必要がある。また、プロセッサ毎に機能分担した場合に、割込みが全てのプロセッサに入るとクリティカルな処理を行っているコントローラにとっては大きな負荷となり、時間制約を満たせない事態が発生する可能性もある。

【0006】本発明は、上記の問題点を解決し、割込み通知においてプロセッサ間の独立性を高めると共に、初期化処理では、初期化プログラムの共通化とプロセッサ間の独立性を両立させることを目的とする。

#### 【0007】

【課題を解決するための手段】本発明では、電源を投入すると特定のアドレスから初期化プログラムを実行するような複数のプロセッサと、これら複数のプロセッサからアクセスされる共有メモリを備えたマルチプロセッサ型コントローラにおいて、共有メモリを各プロセッサ毎

境界を保持する複数の境界レジスタと、プロセッサが共有メモリをアクセスするアドレスとこの境界レジスタの内容を比較する比較器と、比較器によるアドレスの比較結果に基づいてアクセスを有効または無効にして共有メモリの各領域に対するプロセッサからのアクセスを制限するメモリ制御部と、プロセッサ毎に割込み要因をマスクして割込み通知先を定める情報を設定する複数のマスクレジスタと、マスクレジスタが保持している割込み通知先の情報に従いプロセッサへの割込みを通知する割込み制御部を備え、又全てのプロセッサから同一のアドレスで読み出され、読み出し元のプロセッサにより異なる値を返す手段を備える。

#### 【0008】

【発明の実施の形態】図1に本発明によるコントローラの実施例を示す。本実施例は、3つのプロセッサ100、101、102と共有メモリ112、ネットワーク140、141、142との通信を制御する通信LSI109、110、111、そしてこれらが接続されたシステム制御LSI103からなる。本実施例におけるシステム制御LSI103は、プロセッサ制御部104、レジスタ制御部105、割込み制御部106、メモリ制御部107、ネットワーク制御部108を備えており、この通信LSI109、110、111を制御することで、ネットワーク140、141、142を介してセンサ、アクチュエータといった他の機器及びコントローラとの通信を行い、制御情報をやり取りする。制御情報は、センサからの情報及びアクチュエータの起動指令である。コントローラは、被制御装置の状態をセンサから制御情報としてネットワーク140、141、142を介して獲得し、そのセンサからの情報を元に、ネットワークに接続されるアクチュエータの起動及び、別のコントローラからのネットワーク制御の起動を指示する。指示を受けた別コントローラは、制御下にあるネットワークのセンサ情報を獲得、アクチュエータの処理制御を行うことになる。

【0009】プロセッサ制御部104は、プロセッサ100、101、102からのアクセス信号線113、114、115によるデータの読み出し、値の書き込みの要求に応じて、レジスタ制御部105、メモリ制御部107、ネットワーク制御部108へのデータの読み出し、値の書き込みをアクセス信号線119、120、121により行う。出力先の判断は、アクセス信号線113、114、115のアドレス信号により判断する。またレジスタ制御部105、メモリ制御部107、ネットワーク制御部108からのレスポンスをアクセス信号線119、120、121により受け、アクセス元プロセッサへのアクセス信号線により出力して、読み出されたデータを要求したプロセッサに返す。

【0010】レジスタ制御部105はメモリ制御部10

割込み要因線 123, 125, 139 により接続され、プロセッサ制御部 104 からのデータの読み出しと値の書き込み要求をアクセス信号線 119 によって受け、内部のレジスタに対して実行し、要求に対してのレスポンスはアクセス信号線 119 によりプロセッサ制御部 104 に返す。またメモリ制御部、ネットワーク制御部、外部からの割込み発生の通知を内部のレジスタに割込み要因として保持するとともに、内部で生じるプロセッサ間割込みの要因を保持し、割込み要求を割込み制御部 106 に要求する。

【0011】割込み制御部 106 には、割込み通知線 39, 132, 133 によりそれぞれレジスタ制御部 105、メモリ制御部 107、ネットワーク制御部 108 が接続しており、割込み要求を割込み信号線 116, 117, 118 によりプロセッサに伝える。割込み通知線 139, 132, 133 は、割込み要因レジスタに割込み発生を伝える信号線であり、割込みの発生元からレジスタに情報を伝える。また割込み信号線 116, 117, 118 は、割込みの発生元から割込み制御部に割込みの発生を伝える信号線で、プロセッサへの割込み要求を行う信号線である。

【0012】割込み発生時には、プロセッサはレジスタ制御部内の割込み要因レジスタにて発生元を確認し、その後発生元にある割込み要因レジスタにて詳細な要因を確認する。

【0013】メモリ制御部 107 は、アクセス信号線 130, 120 によりそれぞれネットワーク制御部 108 とプロセッサ制御部 104 からのデータの読み出し、値の書き込み要求を受け、アクセス信号線 131 により共有メモリ 112 に対してこれらの要求を実行し、レスポンスの受けを行なう。そして、要求元であるネットワーク制御部 108 又はプロセッサ制御部 104 に、共有メモリから読み出されたデータを返す。更に、メモリ制御部の内部で発生した割込みの要因を保持し、レジスタ制御部への割込み発生の通知と、割込み制御部への割込みを要求する。

【0014】なおシステム外部からの割込みに対しては、レジスタ制御部 105 には割込み要因線 122 がシステム制御 LSI 103 の外部から入力され、割込み制御部 106 には、外部割込み通知線 138 が入力される。

【0015】ネットワーク制御部 108 は、アクセス信号線 134 による通信 LSI 109, 110, 111 からのデータの読み出し、値の書き込み要求に応じて、アクセス信号線 130 を介してメモリ制御部 107 へのデータの読み出し要求、値の書き込み要求を行う。そして読み出し要求により読み出されたデータは要求した通信 LSI に返す。更に、ネットワーク制御部 108 はプロセッサ制御部 104 からのアクセスに対してアクセス信

う。通信 LSI は、通信 LSI に対する書き込み読み出しにより制御され、共有メモリ 112 に格納されたネットワークの送受信データは、各プロセッサ 100, 101, 102 が制御する通信 LSI が共有メモリ 112 から読み出しネットワークへ出力する。ネットワークからの受信データは、通信 LSI が一旦共有メモリに書き込み、それをプロセッサが読み出す。また、割込み通知線 135, 136, 137 により、通信 LSI からの割込みの発生を受け、通信 LSI からの割込みやネットワーク制御部で発生した割込みの要因を保持するとともに、レジスタ制御部 105 に割込み発生を通知し、且つ割込み制御部 106 に割込みを要求する。

【0016】アクセス信号線 113, 114, 115, 119, 120, 130, 131, 134 は各部間の要求及びそのレスポンスの受渡しを行い、読み出し又は書き込みアクセスの番地を示すアドレス信号、読み出し/書き込みデータ信号の他、アクセス要求の種類（書き込み又は読み出し）を示す信号や、要求が受け付けられた認証などの制御信号を含む。更に、プロセッサ制御部 104 からのアクセス信号 119, 120 には、前述の信号以外に要求元プロセッサを示す信号が含まれる。そして通信 LSI からのアクセス信号 134 には、要求元通信 LSI を示す信号と要求先通信 LSI を示す信号が追加される。アドレス信号、要求の種類を示す信号、書き込むデータ、要求元プロセッサ又は通信 LSI を示す信号は要求元から要求先に渡される。要求先から要求元に渡される信号は、読み出しデータと認証信号と要求先通信 LSI を示す信号である。

【0017】レジスタ制御部 105 の詳細を図 2 に示す。レジスタ制御部 105 では、接続された複数のプロセッサ 100, 101, 102 からの共有メモリ 112 に対するアクセスを制御する。レジスタ制御部 105 は、境界レジスタ 200, 201、マスクレジスタ 202, 203, 204、割込み通知レジスタ 205, 206, 207、割込み要因レジスタ 208、識別レジスタ 209 から構成される。

【0018】プロセッサ 100, 101, 102 からは、アクセス信号線 119 にて値の書き込みと読み出しが行われ、書き込まれた値は境界アドレス信号線 211, 212 により、メモリ制御部 107 に出力される。プロセッサ 100, 101, 102 は、共有メモリを各プロセッサ毎の領域に分割して使用する。

【0019】共有メモリ上にプロセッサ毎の個別の専用領域の境界を設定するため、境界レジスタは、少なくともこのシステム制御 LSI 103 に接続されるプロセッサ 100, 101, 102 の数 - 1 だけ用意されている。本実施例では 3 つのプロセッサが排他的に共有メモリを使用するための 3 つの領域を定義するため、少なくとも 2 つの境界アドレスを設定する必要がある。そのた

の境界アドレスを設定する。これら境界レジスタ200, 201の値とメモリ制御部の機能により、3つの領域に対してアクセスが禁止されるプロセッサとアクセスが許可されるプロセッサがそれぞれ定まる。またこの境界アドレス信号線211, 212には、境界レジスタに書き込まれている値が有効であるか否かを示す信号線が含まれている。これにより共有メモリのアクセスに関してプロセッサ間の排他性が実現される。

【0020】マスクレジスタ202, 203, 204はそれぞれ図7に示す構成をとる。マスクレジスタ202, 203, 204は、ネットワーク制御部からの割込みマスクビット900, メモリ制御部からの割込みマスクビット901, 外部割込みマスクビット903, プロセッサ間割込みのマスクビット904から構成される。マスクレジスタ202, 203, 204は、このシステム制御LSI103に接続されるプロセッサ100, 101, 102の数だけ用意されており、アクセス信号線119によってプロセッサ制御部104から値の書き込みと読み出しが行われ、書き込まれた値は割込みマスク信号線213, 214, 215により、割込み制御部106に出力される。そして、各割込みマスクビットが1であるとき、各マスクレジスタに対応するプロセッサに対する該当割込み要因の割込みがマスクされる。

【0021】割込み通知レジスタ205, 206, 207はアクセス信号線119にて書き込みと読み出しを行う。割込み通知レジスタ205, 206, 207に対する値の書き込みにより、発生した割込みの要因が割込み要因線216, 217, 218により割込み要因レジスタ208に通知され、且つ、割込み要求が割込み要求線219, 220, 221により出力される。これら割込み要求線219, 220, 221は論理和210にて1本の割込み要求線219, 220, 221の少なくとも1つが割込みを要求してきた場合、割込み要求を割込み制御部106へ出力する。

【0022】割込み要因レジスタ208の詳細を図3に示す。割込み要因レジスタ208は割込み要因線216, 217, 218, 122, 123, 125で伝えられた情報に対応する割込み要因ビットから構成される。ネットワーク割込み要因ビット300は割込み要因線125に、メモリ制御部割込み要因ビット301は割込み要因線123に、外部割込み要因ビット302は割込み要因線122に、一対一で対応する。また、各プロセッサ間の割込みは、プロセッサ間割込み要因ビット303, 304は、割込み要因線216に対応し、また、プロセッサ間割込み要因ビット305, 306は、割込み要因線217に対応し、更にプロセッサ間割込み要因ビット307, 308は、割込み要因線218に対応する。これら割込み要因ビット300～308は、対応す

込み要因レジスタ208の割込み要因ビットの値は、アクセス信号線119により値の書き込みと読み出しができ、アクセス信号線119からクリアするビットの位置へ値1の書き込みが行われるまで継続する。

【0023】識別レジスタ209は、アクセス信号線119により値の書き込み読み出しが行われる。識別レジスタ209から読み出される値は、アクセス信号線119の読み出し元を識別する信号に基づき読み出すプロセッサによってそれぞれ異なる値が出力される。例えば、プロセッサ100から読み出された時には値2を出力し、別のプロセッサ101から読み出された時には値1を出力し、更に別のプロセッサ102から読み出された時は値0が読み出される。なお、識別レジスタ209から読み出される値は、読み出された値により一意にプロセッサが特定できればどのような値でも構わない。

【0024】メモリ制御部107の詳細を図4に示す。メモリ制御部107は、境界レジスタ200, 201に対応して2つの比較器400, 401と、比較器の比較結果に基づき共有メモリ112に対するアクセスを制御するアクセス制御部402と割込み要因レジスタ403から構成される。

【0025】比較器400, 401は、プロセッサ制御部104からのアクセス信号線120のアドレスと、境界レジスタ200, 201からの信号線である境界アドレス線143, 124のアドレスとを比較する。比較器400, 401は、境界アドレス線が設定アドレスの無効を示している場合には無効を示す信号を、有効を示している場合には比較結果をそれぞれ比較結果線404, 405により、アクセス制御部402へ出力する。従って、比較結果線404, 405に出力される比較結果は、比較が有効でアクセスアドレスが境界アドレス以上である場合、比較が有効でアクセスアドレスが境界アドレスより小さい場合、比較が無効である場合との3種類である。

【0026】アクセス制御部402は共有メモリへの要求をアクセス信号線131に出力し、共有メモリからのアクセス信号線131のレスポンスをアクセス元に従い、アクセス信号線120, 130に出力する。レスポンスを出力するアクセス信号線120と130の選択は、ネットワーク制御部108がアクセス元である場合には、アクセス信号線130を使い、プロセッサ制御部104がアクセス元である場合、アクセス信号線120を選択する。共有メモリ112への要求は、比較結果線404, 405の内容とアクセス信号線120のアクセス元プロセッサの情報に従い許可又は抑止される。この許可と抑止の判断を図5に示す表に示す。アクセス制御部402は、共有メモリ112へのアクセスを抑止する場合、アクセス元プロセッサの要求が書き込みであれば、アクセス信号線131には要求を出力せず、アクセ

ンスを共有メモリ112の代わりに返す。また、アクセスを抑止する場合でアクセスが読み出しあれば、読み出し要求をアクセス信号線131に出力し、共有メモリ112の値を読み出す。

【0027】本実施例では、境界アドレス線143, 124に境界レジスタ200, 201の内容が有効であるか又は無効であるかを示す信号を含んでいるが、プロセッサ毎にアクセス可能な領域を区別するための境界アドレスの指定が有効／無効を示す情報をメモリ制御部107にレジスタとして保持し、このレジスタの値により比較器400, 401の比較結果の有効又は無効を指示することも可能である。また、境界アドレスの有効／無効を示す方法ではなく、アクセス制御部402の許可／抑止の判断機能自体を、レジスタが保持する情報によって、有効又は無効とすることも可能である。更に、2つの境界アドレスの全ビットが0を示している場合、3つのプロセッサ100, 101, 102からのアクセスが共有メモリ112の全アドレス領域で可能とする様な、特殊なアドレスにより設定アドレスの有効性を示すことも可能である。

【0028】図4の割込み要因レジスタ403は、割込みの発生要因に対応した割込み要因ビットから構成され、共有メモリ112へのアクセスの際に障害が発生してプロセッサに対する割込みを発生させる場合に、その障害の要因を保持する。障害としては、共有メモリ112へのアクセス抑止の発生又は、共有メモリ112から不当なデータが読み出された場合(パリティエラーやECCエラーで検出)がある。割込みは、アクセス制御部402で検出され、プロセッサ100のメモリアクセス抑止の発生は割込み通知線406が使用され、プロセッサ101, 102には割込み通知線407, 408がそれぞれ使用されて割込み要因レジスタ403に伝えられ、訂正可能な不当データの読み出しには割込み通知線409を使用し、訂正不可な不当データの読み出しには割込み通知線410を使用して通知される。

【0029】アクセス制御部402は割込み発生時にアクセスしたアドレス、データ、アクセス元を保持する。各割込み通知線406, 407, 408, 409, 410は論理和411で割込み通知線123にまとめられ、割込み通知線406, 407, 408, 409, 410のいずれかが割込みを通知するときに有効となってレジスタ制御部104に通知される。また割込み通知レジスタ403の割込みビットの少なくとも1つが割込み発生を示すと、割込み要求線132にて割込み制御部106に、プロセッサへの割込みの通知を要求する。この割込み要因レジスタ403の割込み要因ビットはアクセス信号線120によりクリアされる。

【0030】ネットワーク制御部108の詳細を図6に示す。ネットワーク制御部108はアクセス制御部60

ス制御部601は、アクセス信号線121を介したプロセッサ制御部104からのデータの要求により、アクセス信号線134を介して通信LSI109, 110, 111に要求を出し、この要求に対するアクセス信号線134からのレスポンスをアクセス信号線121に返す。またアクセス信号線134を介した通信LSI109, 110, 111から共有メモリ112への要求をアクセス信号線130に出力し、メモリ制御部107からのそのレスポンスを、アクセス信号線134を介して要求元通信LSIに返す。各通信LSIは、アクセス信号線134の要求先通信LSIを示す信号にて、そのアクセス信号線134の要求が自分への要求であるかを判断する。

【0031】割込み要因レジスタ600は、割込み通知線135, 136, 137, 125に対する割込み要因ビットで構成され、対応する割込み通知線にて割込みの通知があると対応する割込み要因ビットが1となる。割込み要因は、通信LSIからの割込みとアクセス制御部601での不当アクセスである。通信LSIからの割込みは、各通信LSI内の割込み要因レジスタに詳細な要因が保持されており、割込みを受け付けたプロセッサが割込みを発生させた通信LSI内の割込み要因レジスタを読み出し、その内容に応じた処理を実施する。またアクセス制御部601での不当アクセスは、アクセス信号線134のパリティエラーで、割込み通知線125で割込み要因レジスタ600とレジスタ制御部105に通知される。割込み要因レジスタ600の値の読み出しと書き込みとビットのクリアは、アクセス信号線121を介して実施される。

【0032】割込み制御部106は、レジスタ制御部105、メモリ制御部107、ネットワーク制御部108、そして外部からのそれぞれの割込み要求線139, 132, 133, 138で割込み要求を受け付ける。受け付けた割込み要求は、割込みマスク線126, 127, 128によりレジスタ制御部から入力される各プロセッサ毎の割込みマスク情報によりマスクする。プロセッサ100への割込み線の割込みマスク情報は割込みマスク線126で渡され、また別のプロセッサ101への割込み線の割込みマスク情報127は割込みマスク線127で渡され、更に別のプロセッサ102への割込み線の割込みマスク情報は割込みマスク線128で渡される。マスクされた割込み要求に基づき、割込み線116, 117, 118によりプロセッサ100, 101, 102へ割込みを入れる。従って、マスクされた割込みは、割込み制御部106に通知され受け付けられても、プロセッサへの割込みは発生しない。

【0033】プロセッサ100, 101にそれぞれ通信LSI109, 110を制御させ、リアルタイム性の必要がない監視データのやり取りはプロセッサ102で実施し、また、システム内の割込みも主にプロセッサ10

割込みのマスクレジスタ 202～204 と割込み制御部 106 の機能により、ネットワーク制御部 108 とメモリ制御部 107 の割込みはプロセッサ 102 のみに、外部割込みとプロセッサ間の割込みは全てのプロセッサに入れられる。このため、レジスタ制御部 119 のマスクレジスタ 202 とマスクレジスタ 203 に値 0×3 (外部からの割込みとプロセッサ間の割込みのみを許可する) を、マスクレジスタ 204 に値 0×F (全ての割込みを対応するプロセッサに通知する) を設定する。この設定により、外部割込みとプロセッサ間の割込みはすべてのプロセッサに通知され、メモリ制御部 107、ネットワーク制御部 108 に関しては、割込み制御部 106 でマスクレジスタ 202～204 によりマスクされて、プロセッサ 102 にだけ割込み要求が通知される。この設定により、通信 LSI を制御するプロセッサ 100, 101 に割込みが入る場合は、外部割込みとプロセッサ間割込みとなる。そして、プロセッサ 100, 101 は、共有メモリ 112 に対する読み出し/書き込みを伴う通信 LSI 109, 110 の制御に集中することができ、他のプロセッサ 102 が行う障害処理の時間に影響され難くなる。

【0034】一般に割込み処理が入るとプロセッサが割込み処理のために占有される。しかし、一般に外部割込みは、システムの電源断などの特殊なもので、プロセッサ間割込みは、割込みがマスクされているプロセッサに、別のプロセッサが通信するときに使うもので、両者の発生頻度は、ネットワーク制御、メモリ制御からの割込みに比べ大きくな。また、外部からの割込みがほとんど入らないのであれば、各プロセッサ間の処理分担を分けることによりプロセッサ間割込みが起こり難くすることにより、外部からの割込みとプロセッサ間の割込みのみを許可したプロセッサにおける一連の処理の実行時間が正確に見積もれる。そのため、プロセッサ 100, 101 による通信 LSI 109, 110 の処理時間を正確に見込むことができるため、ネットワーク 1.40, 1.41 処理のハードリアルタイム性を保証することができる。

【0035】なお、メモリ制御部 107 やネットワーク制御部 108 からの割込み処理が発生した場合、割込みを受け付けたプロセッサ 102 はプロセッサ制御部 104 からアクセス信号線 120 を介して、メモリ制御部 107 のアクセス制御部 402 に対し、比較器 404, 401 による境界レジスタ 200, 201 とのアクセスアドレスの比較結果を無効とする指示を与え、割込み処理終了後には再び比較結果を有効とするようにアクセス制御部 402 に対し指示を与える。これにより、割込み処理においては障害回復などシステム全般に共通した処理をプロセッサ毎に設けず、共通のメモリ領域を用いて処理することができる。また、プロセッサ間の割込みが発

知するに止め、比較結果を有効のままとしておくことにより、プロセッサ毎の処理の独立性を維持したまま、割込みに対する処理を行うことができる。

【0036】境界レジスタ 200, 201 によるプロセッサ間の使用共有メモリ領域の独立性は、主に通常時の処理において必要であり、立上げ処理ではプロセッサ間で共通処理を実行するため必要性が少ない。これは立上げ処理の際には、システムの構成制御等、システム全般にわたって共通して行う初期化処理が多いためである。そこで、プロセッサ間共通処理とプロセッサ固有処理から構成される初期化プログラムを共有メモリ上に配置する。初期化プログラムは、電源が投入された後プロセッサが最初に読み出しを行う番地に配置しておくものとする。また、共有メモリ 112 へのアクセスは境界レジスタ 200, 201 に境界アドレスが設定され、境界アドレスが有効になるまでは、図 5 に示す設定に従い、全てのプロセッサが共有メモリ 112 を制限なくアクセスできる。

【0037】電源投入時にプロセッサが開始アドレスから初期化プログラムを読み出し、プロセッサ間で共通に行う処理にて識別レジスタ 209 を読み、識別レジスタ 209 の機能によりプロセッサ毎に特定の値が読み出されるため、この読み出した値に従いプロセッサが固有に実行する処理に分岐する。そして、共有メモリ 112 へのアクセスをプロセッサ毎に制限する境界レジスタ 200, 201 の設定は、このプロセッサ間で共通に行う処理の最終で実施する。従って、プロセッサ間で共通に行う処理の実施は各プロセッサが同一の初期化プログラムで実行できる。また、初期化プログラム全体の処理が終了してから、境界レジスタの設定を行っても良く、初期化プログラムを別のアドレスマップに割り当てて初期化プログラム専用の読み出し専用メモリをシステムに使っても良く、専用メモリはプロセッサ単位には不要でシステムに一つで良い。

【0038】本実施例におけるシステムでは、ネットワーク 1.41 を使った被制御装置に対するコントローラ 103 の処理が終了後、他のコントローラによるネットワークを使った被制御装置に対する制御を、ネットワーク 1.40 を介して起動する。従って、コントローラ 103 の処理のリアルタイム性の保証は、他のコントローラの起動のリアルタイム性を保証する。また、被制御装置が従来の処理を拡張して、他のコントローラの制御の後に新たに制御が必要である場合、拡張した処理に関するセンサ、アクチュエータを制御する別の新たなコントローラを追加することでシステムを拡張した場合でも、システム全体のリアルタイム性を保証した上で拡張が可能である。

【0039】

【発明の効果】以上説明したように、境界レジスタとメ

常処理での共有メモリの領域の保護を行いながら割込みの選択通知により、プロセッサ100, 101, 102の独立性を高めることができ、各プロセッサの処理のリアルタイム性が保証できる。識別レジスタと初期化プログラムにより、立ち上げ時のプロセッサ間で処理の共通が図れる。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】本発明のレジスタ制御部の詳細を示す図である。

【図3】本発明のレジスタ制御部における割込み要因レジスタの詳細を示す図である。

【図4】本発明のメモリ制御部の詳細を示す図である。

【図5】本発明のメモリ制御部におけるアクセス制御部の詳細を示す図である。

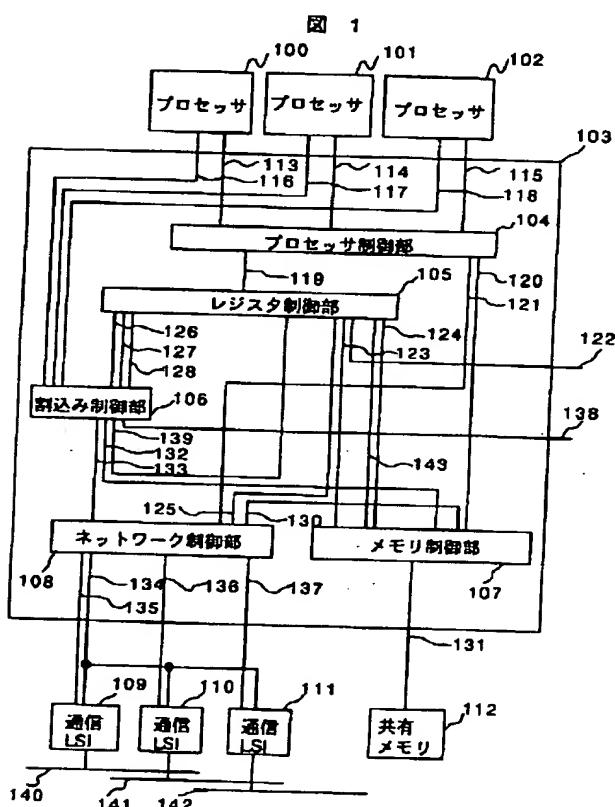
【図6】本発明のネットワーク制御部の詳細を示す図である。

【図7】本発明のレジスタ制御部におけるマスクレジスタの詳細を示す図である。

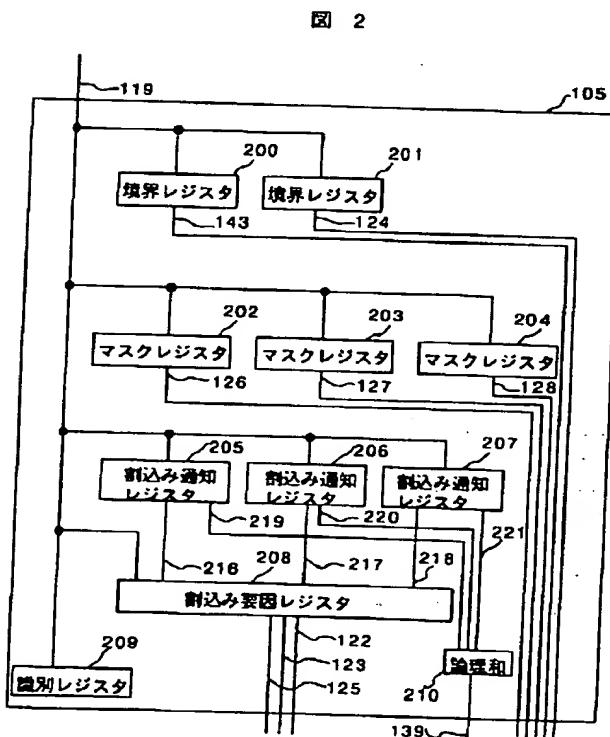
【符号の説明】

100, 101, 102…プロセッサ、104…プロセッサ制御部、105…レジスタ制御部、106…割込み制御部、107…メモリ制御部、108…ネットワーク制御部、109, 110, 111…通信LSI、112…共有メモリ、200, 201…境界レジスタ、202, 203, 204…マスクレジスタ、205, 206, 207…割込み通知レジスタ、209…識別レジスタ、400, 401…比較器、208, 403, 600…割込み要因レジスタ。

【図1】

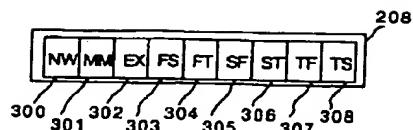


【図2】



【図3】

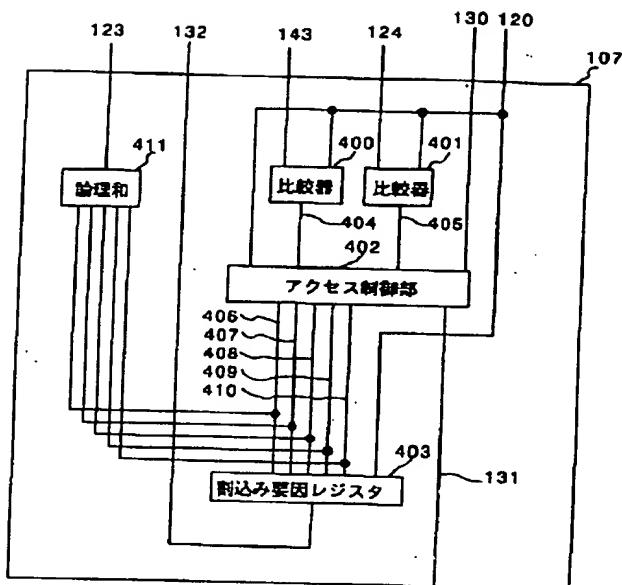
図3



NW: ネットワーク制御部からの割込み要因ビット  
 MM: メモリ制御部からの割込み要因ビット  
 EX: 外部からの割込み要因ビット  
 FS: プロセッサ100からプロセッサ101への割込み要因ビット  
 FT: プロセッサ100からプロセッサ102への割込み要因ビット  
 SF: プロセッサ101からプロセッサ100への割込み要因ビット  
 ST: プロセッサ101からプロセッサ102への割込み要因ビット  
 TF: プロセッサ102からプロセッサ100への割込み要因ビット  
 TS: プロセッサ102からプロセッサ101への割込み要因ビット

【図4】

図4



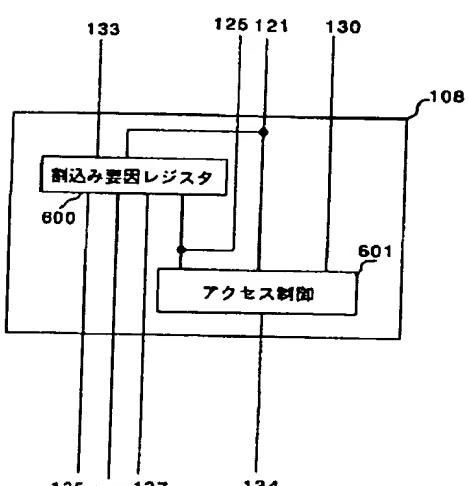
【図5】

図5

比較結果		アクセス元 プロセッサ	アクセス制御
比較器 400	比較器 401		
大	有効	プロセッサ100	許可
		プロセッサ101	抑止
		プロセッサ102	抑止
小	大	プロセッサ100	抑止
		プロセッサ101	許可
		プロセッサ102	抑止
有効	小	プロセッサ100	抑止
		プロセッサ101	抑止
		プロセッサ102	許可
少なくとも1つの比較器が無効 を出力		プロセッサ100	許可
		プロセッサ101	許可
		プロセッサ102	許可

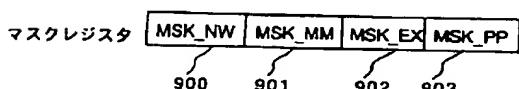
【図6】

図6



【図7】

図7



MSK\_NW: ネットワーク制御部からの割込みマスクビット  
 MSK\_MM: メモリ制御部からの割込みマスクビット  
 MSK\_EX: 外部からの割込みマスクビット  
 MSK\_PP: プロセッサ間の割込みマスクビット

フロントページの続き

(72)発明者 松田 光司

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72)発明者 黒澤 憲一

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72)発明者 高橋 義明

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内